

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-289809
(P2002-289809A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/105		H 0 1 L 21/314	A 5 F 0 5 8
21/314		21/316	X 5 F 0 8 3
21/316			Y
			G
			M
審査請求 未請求 請求項の数10 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2001-92532(P2001-92532)
(22) 出願日 平成13年3月28日 (2001.3.28)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 山川 晃司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 出羽 光明
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

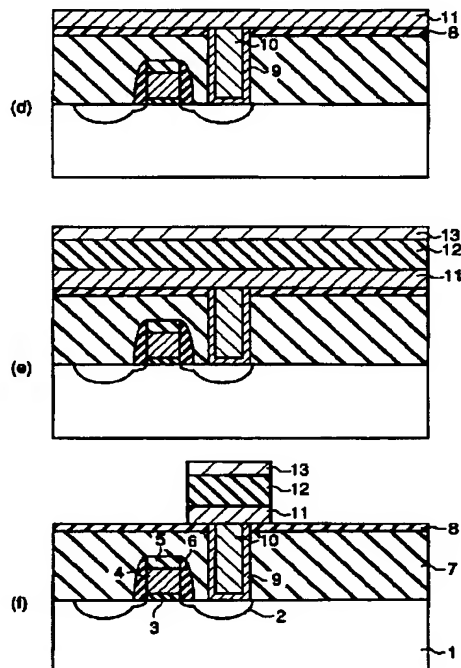
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 プラグの酸化を招くことなく、微細なCOP構造を提供する。

【解決手段】 半導体基板1と半導体基板1上に形成されたソースメドレイン層2に達するコンタクト孔を有する層間絶縁膜7と前記コンタクト孔内に形成され、Ruを主成分とするプラグ10と、前記層間絶縁膜7上に形成され、前記プラグ10と電氣的に接続したキャパシタとを具備し、前記キャパシタが、 $SrRuO_3$ を主成分とする前記プラグ10と直接接続された下部キャパシタ電極11とこの下部キャパシタ電極11上に形成された強誘電体膜12および上部キャパシタ電極13を含む構成とする。



1

【特許請求の範囲】

【請求項 1】導電部が形成された半導体基板と、前記導電部に達する貫通孔を有する絶縁膜と、前記貫通孔内に形成され、Ru を主成分とするプラグと、前記絶縁膜上に形成され、前記プラグと電氣的に接続したキャパシタとを具備してなり、前記キャパシタは、SrRuO₃ を主成分とする、前記プラグと直接接続する電極と、この電極上に形成された強誘電体膜とを含むことを特徴とする半導体装置。

【請求項 2】前記導電部は、MIS 型トランジスタのソース／ドレイン拡散層、またはこのソース／ドレイン拡散層と電氣的に接続された配線であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記プラグの側面および底面の少なくとも一部の表面上に、窒化物膜が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記窒化物膜は、前記絶縁膜と前記下部キャパシタ電極との界面にも形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】前記窒化物膜の材料は、TiN、Ta₂N、TiAlN、TaSiN または SiN であることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 6】前記プラグの前記電極とコンタクトする領域は酸素を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】前記酸素を含む領域の厚さは 100 nm 以下であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】前記キャパシタは、貴金属を主成分とする金属膜を含まないことを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】前記貴金属は、Pt または Ir であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】導電部が形成された半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に前記導電部に達する貫通孔を開口する工程と、前記貫通孔内および前記絶縁膜上に Ru を主成分とする導電膜を形成する工程と、前記導電膜に熱処理を施す工程と、前記貫通孔外の前記導電膜を除去し、前記貫通孔内に前記導電膜からなる Ru を主成分とするプラグを形成する工程と、前記絶縁膜上に、前記プラグと直接接続し、かつ SrRuO₃ を主成分とする下部キャパシタ電極と、強誘電体膜とを含むキャパシタを形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、強誘電体キャパシタを備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、強誘電体薄膜を利用した不揮発性メモリである強誘電体メモリの開発が進んでいる。強誘電体メモリは、DRAM のキャパシタ部分を誘電体で置き換えたものである。

【0003】強誘電体メモリのセルを微細化し、大容量化するためには、COP (Capacitor On Plug) 構造が必須であると考えられている。COP 構造とは、トランジスタのアクティブエリアから接続されて W や Si からなるプラグがキャパシタ直下にあるものである。

【0004】図 5 に、従来の COP 構造を示す。図中、81 はシリコン基板、82 はトランジスタのソース／ドレイン拡散層、83 は BPSG 膜、84 はシリコン窒化膜／シリコン酸化膜の積層絶縁膜、85 は W または多結晶 Si からなるプラグ、86 は下部キャパシタ電極、87 は PZT 膜（キャパシタ絶縁膜）、88 は上部キャパシタ電極をそれぞれ示している。

【0005】この種の COP 構造を作成するとき、プラグ 85 の形成後に、酸化性雰囲気下での熱処理が複数回行われる。その一つとして、PZT 膜 87 を結晶化するための熱処理があげられる。その他に、キャパシタのインテグレーションプロセスにおける RIE (Reactive Ion Etching) 加工により生じた絶縁膜 83、84 のダメージを回復するための熱処理があげられる。

【0006】このような酸化性雰囲気下での熱処理が必要であるため、プラグ 85 の材料として W を用いた場合、W 酸化物が形成され、プラグ 85 と下部キャパシタ電極 86 との間のコンタクトが不良となったり、あるいはプラグ 85 の体積膨張によってプラグ構造そのものが破壊されてしまう。一方、プラグ 85 の材料として多結晶 Si を用いた場合、Si 酸化物が形成されるため、同様にコンタクト不良が発生する。

【0007】下部キャパシタ電極 86 の代表的な材料として Pt があるが、Pt は酸素バリア性がないため、Si 酸化物の発生は防げない。そこで、下部キャパシタ電極 86 の材料として、酸素バリア性があると報告されている Ir、IrO₂ などを使用することが考えられる。

【0008】しかし、この種の材料は、PZT 膜 87 中の Pb と Ir との反応あるいは相互拡散が容易に起こるため、キャパシタのリーク電流が増加してしまう。このような問題は、下部キャパシタ電極 86 の材料として、Ru もしくは RuO₂ を用いた場合に発生する。

【0009】さらに、Ir 膜 86 と積層絶縁膜 84（シリコン窒化膜、シリコン酸化膜）の密着性があまりよくないために、Ir 膜 86 と積層絶縁膜 84 との界面を通る酸化種によってプラグ 85 が酸化される恐れがある。

Ir 膜 86 の代わりに IrO₂ 膜を用いた場合にも同様な問題がある。

3

【0010】そこで、このような問題を解決するために、図6に示すような下部キャパシタ電極構造が提案されている。すなわち、下部キャパシタ電極86をIr膜86₁(酸化防止膜)とPt膜86₂との積層膜で構成し、さらにIr膜86₁と積層絶縁膜84との間にTi膜(密着膜)89を設けることが提案されている。

【0011】Ir膜86₁はプラグ85の酸化を防止し、Ti膜89はIr膜86₁と積層絶縁膜84との密着性を高め、Ir膜86₁と積層絶縁膜84との界面からの酸化種の侵入を防止する。

【0012】しかし、図6のCOP構造には以下のような問題がある。すなわち、Pt、Ir等の貴金属は、蒸気圧の高い化合物がないため、Pt膜とIr膜のRIE加工時におけるキャパシタ側面への再付着、フェンス生成などの問題を発生する。このよう問題はテーパエッチングにより解決できるが、キャパシタの微細化が困難になり、COP構造の利点を十分に発揮できなくなる。さらに、Ti膜89の導入によって構造がさらに複雑になり、これも微細化の妨げになる。また、快復アニールによってTi膜89が酸化されるという問題もある。

【0013】

【発明が解決しようとする課題】上述の如く、従来のCOP構造は、プラグの酸化を防止するために、下部キャパシタ電極構造として、Ti膜/Ir膜/Pt膜の積層膜を使用することが提案されていたが、Pt膜およびIr膜のRIE加工が困難なこと、多層構造になるという理由により、キャパシタの微細化が困難になるという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、微細なCOP構造を容易に実現できる半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】上記目的を達成するために、本発明に係る半導体装置は、導電部が形成された半導体基板と、前記導電部に達する貫通孔を有する絶縁膜と、前記貫通孔内に形成され、Ruを主成分とするプラグと、前記絶縁膜上に形成され、前記プラグと電気的に接続したキャパシタとを備え、前記キャパシタが、SrRuO₃を主成分とする、前記プラグと直接接続する電極と、この電極上に形成された強誘電体膜とを含むことを特徴とする。

【0017】また、本発明に係る半導体装置の製造方法は、導電部が形成された半導体基板上に絶縁膜を形成する工程と、前記絶縁膜に前記導電部に達する貫通孔を開く工程と、前記貫通孔内および前記絶縁膜上にRuを主成分とする導電膜を形成する工程と、前記導電膜に熱処理を施す工程と、前記貫通孔外の前記導電膜を除去

4

し、前記貫通孔内に前記導電膜からなるRuを主成分とするプラグを形成する工程と、前記絶縁膜上に、前記プラグと直接接続し、かつSrRuO₃を主成分とする下部キャパシタ電極と、強誘電体膜とを含むキャパシタを形成する工程とを有することを特徴とする。

【0018】本発明によれば、Ruを主成分とするプラグと、SROを主成分とする下部キャパシタ電極とが直接接続してなるキャパシタ構造を採用することで、下部キャパシタ電極の構造を複雑にすることなく、プラグの酸化を効果的に防止できるようになる。そして、プラグの酸化を防止できることにより、プラグの酸化によるコンタクト不良、形状不良を防止できるようになる。

【0019】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0020】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態(以下、実施形態という)を説明する。

【0021】図1および図2は、本発明の一実施形態に係るCOP構造のキャパシタの製造方法を示す工程断面図である。

【0022】まず、周知のプロセスにより、図1(a)に示すように、シリコン基板1にMIS型トランジスタを作り込み、CMOS構造を形成する。図には簡単のため一つのトランジスタしか示していない。また、図において、2はソース/ドレイン拡散層、3はゲート絶縁膜、4はゲート電極、5および6はシリコン窒化膜をそれぞれ示している。ソース/ドレイン拡散層2の表面に金属シリサイド層を形成してもよい。

【0023】次に同図(a)に示すように、トランジスタ領域をPSG膜、BPSG膜などのSiO₂系の層間絶縁膜7をCVD法によって全面に堆積し、層間絶縁膜7の表面をCMP(Chemical Mechanical Polishing)法によって平坦化し、そして平坦化された層間絶縁膜7上にシリコン酸化膜とシリコン窒化膜の積層絶縁膜8をCVD法によって堆積する。本発明の場合、シリコン酸化膜とシリコン窒化膜の積層の順番はどちらが先でも良い。

【0024】次に図1(b)に示すように、層間絶縁膜7、積層絶縁膜8をエッチングし、ソース/ドレイン2に達する接続孔を開口し、この接続孔の内面(底面および側面)を被覆するようにバリアメタル膜9を全面に形成し、その後上記接続孔を埋め込むようにRuプラグとなるRu膜10をバリアメタル膜9上に形成する。

【0025】バリアメタル膜9は、Ru膜10とソース/ドレイン拡散層2との間の密着性と、Ru膜10と接続孔の側面である絶縁膜7、8との間の密着性を向上する目的、およびこれらの間の拡散を防止するためのものである。すなわち、バリアメタル膜9は、密着膜と拡散防止膜の役割をもつ。

5

【0026】バリアメタル膜9の材料は、例えばTiN、Ta₂N、TiAlN、TaSiNなどの窒化物を中心としたものである。バリアメタル膜9の膜厚は20～100nm程度でよい。さらに、SiNもRuのバリア効果がある。SiNは絶縁物であるが、膜厚を薄くすれば電氣的接続（電氣的導通）が取れるので、使用可能である。バリアメタル膜9の成膜方法にはロングスロースパッタ法、CVD法などを使用し、接続孔内に材料が容易に入るようにし、ステップカバレッジをよくする。

【0027】なお、Ru膜10とソース／ドレイン拡散層2（Siまたは金属シリサイド）との拡散、反応状態によっては（後工程での加熱工程の度合いによる）バリアメタル膜9を形成せず、直接Ru膜10を形成することも可能である。すなわち、後で形成するプラグの側面の表面上にだけにバリアメタル膜9を形成しても良い。要するに、バリアメタル膜9は必要な部分だけに形成すればよい。

【0028】Ru膜10の成膜方法にはMOCVD法を使用し、プランケットRu膜を形成する。ソース原料には例えばRu（EtCp）₂を使用する。Ru（EtCp）₂は例えばArとO₂混合ガス中に流す。この場合、典型的な成膜条件は、Ar/O₂流量を100/200SCCMに設定し、成膜温度を300℃前後に設定する。

【0029】上記成膜条件の場合、接続孔内のRu膜10中にはシームが形成される。シームを無くすために、熱処理によりRu膜10を再結晶化する。これにより、Ru膜10の酸素などに対するバリア性（耐酸化性）を向上させることができる。

【0030】上記熱処理は、500℃以上の温度にて例えば10分以上を真空中あるいは不活性雰囲気中（ArまたはN₂中）で行う。また、上記熱処理中にRu膜10から脱ガスなどが生じ、その結果Ru膜10の抵抗、モフォロジーは改善される。

【0031】次に図1（c）に示すように、CMP法により接続孔外部のRu膜10およびバリアメタル膜9を除去してRuプラグ10を形成するとともに、表面を平坦化する。図には、接続孔外部のバリアメタル膜9を除去したが、残しておいてもよい。

【0032】次に図2（d）に示すように、スパッタ法により下部キャパシタ電極となる結晶性のSRO（SrRuO₃）膜11を全面に堆積する。SRO膜11はIn Situ結晶化工程にて形成することが好ましい。この場合、基板温度を500℃としてSROセラミックターゲットを使用し、Ar中にて成膜を行う。

【0033】ここで、基板温度が400℃より低いと、SROペロブスカイト構造に結晶化しない第二相が存在するようになり、特性劣化を引き起こす。一方、基板温度が600℃を超える高温となると、SRO膜11と積層絶縁膜8との界面、SRO膜11とRuプラグ10と

6

の界面にて拡散など、特性劣化の原因となる現象が起こり、望ましくない。

【0034】SRO膜11の厚さは50nm前後が望ましい。100nmを超える厚さとなると、SROがRIE加工性が悪い材料であることから、RIE加工に時間がかかる、RIE加工用のマスク材の加工条件などの工夫が必要になるなど、加工プロセスへの負担が大きくなる。キャパシタの微細化の面からも、SRO膜11の膜厚は50nm以下であることが望ましい。

【0035】また、Ex Situ結晶化工程を用いてSRO膜11を形成する場合には次のように行う。まず、室温にてアモルファスのSRO膜をSROセラミックターゲットを使用して、Ar中にてスパッタ形成する。次にRTAにて酸素気流中600℃にて上記SRO膜を結晶化する。

【0036】Ex Situ結晶化の場合、先に説明した高温スパッタにて結晶性のSRO膜を形成する場合と比較して、結晶性が悪くなりやすい（残留Ru、Srが存在しやすい）。そのため、後工程であるPZT膜の結晶化の工程時に、PZT膜中のPbとSRO膜11中のRu、Srの拡散反応にて導電性酸化物が形成され、キャパシタのリーク電流が発生しやすくなる。このようなリーク電流を防止するためには、アモルファスのSRO膜の形成を複数回にわけて行うことよい。

【0037】その他のリーク電流の低減方法としては次のようなものがある、すなわち、SRO膜11の表面にTi膜を形成し、SRO膜11の表面を熱処理により改質することも効果がある。この場合、一部のSRO膜11がSTO（SrTiO₃）化し、結晶性が向上する。STOはSROと比較して耐還元性がよいために、その後のキャパシタ作成プロセス、インテグレーションプロセスにおいて、界面のダメージを回避することができる。

【0038】Ruプラグ10とSRO膜11の間では相互拡散は起こりにくい。また、Ruプラグ10の表面には酸化層が形成されにくい。したがって、Ruプラグ10とSRO膜11との間のコンタクトは良好なものとなる。

【0039】SROとRuO₂を比較すると、SROの方が熱力学的に安定である。そのため、SROとRuO₂との界面にてSROが還元されてRuO₂が形成されることはない。

【0040】したがって、Ruプラグ10とSRO膜11との界面が酸化される場合は、外部から酸素が拡散してきた場合である。しかし、SRO膜11とコンタクトするRuプラグ10の表面が多少酸化され、Ruプラグ10の表面にRuO₂層（酸素を含む領域）が形成されても、RuO₂層は導電性を有する酸化物層であるために、Ruプラグ10とSRO膜11との間の電氣的接続は問題にならない。特に、RuO₂層の厚さが100nm以下であれば問題はない。

7

【0041】また、SROは酸化物であることから、SiO₂などの絶縁膜への密着性がよい。したがって、SRO膜11のRuプラグ10以外との部分、すなわち積層絶縁膜8との密着性も良好である。このため、SRO膜11下における酸素の横方向からの拡散を効果的に抑制することができる。

【0042】また、下部キャパシタ電極をSRO膜11の単体膜で構成することで、積層膜で構成した従来技術のもの比べて微細化が容易になる。また、単体膜で構成することで、プラグ構造が簡略化し、プロセスも簡略する。

【0043】次に図2(e)に示すように、SRO膜11上にRFマグネトロンスパッタ法を用いて、キャパシタ絶縁膜としてのPZT膜12を形成する。

【0044】ここでは、Pb量を10%程度多くしたPZTセラミックターゲットを使用する。ターゲットの組成はPb_{1.10}La_{0.05}Zr_{0.4}Ti_{0.6}O₃である。PZTセラミックターゲットは密度の高いものがスパッタ速度が大きく、水分などに対する耐環境性も良好であるため、理論密度98%のセラミック焼結体を使用した。

【0045】スパッタ時にはプラズマにより基板温度の上昇や飛来粒子によるボンバードメントがあるために、シリコン基板1からのPbの蒸発や再スパッタが起こり、PZT膜12中のPb量の欠損が生じやすい。ターゲット中の過剰Pbはそれを補償するために加えてある。Zr、Ti、Laなどの元素はターゲット組成とほぼ同じ量でPZT膜12中に取り込まれるため、望む組成の量比のものを用いればよい。

【0046】成膜条件は、例えば、ターゲットー基板間距離が60nm、マグネットが回転式のものの、セラミックPZTターゲットのサイズが12インチ、投入電力が1.0-1.5kWの場合において、スパッタガスがArガスのみ、Arガスの圧力が0.5-2.0Pa、成膜時間が約5分間である。この場合、厚さ100-150nmのアモルファスのPZT膜12が形成される。

【0047】ここでは、PZT膜12の成膜方法としてスパッタ法を用いたが、ゾルゲル法やMOD法などの塗布法を用いてもよい。

【0048】ゾルゲル法やMOD法などの溶液法(CSD法)にて形成するPZT成膜プロセスでは、原料の性状、取り扱い容易性、安定性や、他の物質との混合したときの反応性から、Pb、Ti、ZrなどのPZT膜構成元素の原料をまず選択する。

【0049】Pbでは酢酸鉛3水和物、Zrにはジルコニウムテトラプロポキシド、Tiにはチタンテトライソプロポキシドを利用する場合が多く、溶剤に2メトキシエタノールを使用して約0.2Mの溶液をまず調製する。この溶液は水分を十分に取り除くことで長期保存が可能である。一般には酢酸鉛の水和物の水成分を除去する。

8

【0050】成膜するときは上記溶液に水を加えて縮重合反応を起こさせるが、脱水反応および脱アルコール反応によってM-O-Mの架橋構造が形成される。この際に加えた水の量、反応時間(保持時間)、PH、温度、濃度などによりこの架橋状態が変化する。スパッタの場合と同様に異なったアモルファス状態を形成することになるため、PZTペロプスカイト構造に結晶化した後に配向性、結晶粒の性状、強誘電特性、リーク電流、疲労特性などが変化する。MOD法でも同様である。

【0051】Pb、Zr、Tiの2エチルヘキサン酸などを使用し、有機溶剤のキシレンを用いてPZTのMOD用溶液を調製する。MOD法の場合は加水分解反応は起こさず、その状態(混合状態)にて基板上に塗布する。

【0052】基板上に成膜した後に250℃程度の低温で乾燥、脱溶剤を実施し、アモルファス状態のPZT膜となる。MOD法では原料がC、H、Oを多く含む構造であるため結晶化時の膜の収縮が大きく、数100nmの厚い膜を形成するには塗布と結晶化工程を繰り返すなどの方法で行う。結晶化はスパッタと同様にRTAを使用する場合が多い。750℃、5分程度の熱処理でペロプスカイト単一相が得られる。

【0053】このような溶液法を用いたPZT膜は、結晶粒が100-数100nmと小さく、スパッタで成膜された膜のような柱状組織を示さない粒状組織がみられる場合が多い。

【0054】一方、MOCVD法によりPZT、SBT膜などを形成する場合には、条件を最適化することで立体形状キャパシタを形成するためのステップカバレッジ性が良好なものを得ることができる。この場合、複合酸化物を構成する元素でBi、Sr、Baなどは蒸気圧の高いソース原料がないため、液体供給を併用することが好ましい。

【0055】本実施形態では、下部キャパシタ電極として、Pt電極と異なり、SRO膜11を使用しているため、SRO膜11とPZT膜12との界面部分にて、PZT膜12の酸素空孔への酸素の供給が可能となる。これにより、PZT膜12の疲労特性(分極反転を繰り返したときの分極量の劣化現象)は向上する。

【0056】なお、SRO膜11上にPZTシード層として厚さ2-5nm程度の薄いTi膜、Zr膜、Nb膜またはTa膜などを形成してから、PZT膜12の成膜を行ってもよい。

【0057】PZT膜12の成膜前にターゲット表面の状態、温度、チャンバー内環境を一定とするために、約1時間のプレスパッタを同じスパッタ条件にて行った。Pb量および結晶化後の構造・電気特性は、このプレスパッタにより大きく変化してしまう。

【0058】SRO膜上のアモルファスのPZT膜に対して、RTA(Rapid Thermal Anneal)を施して、PZT膜の結晶化を行った。結晶化温度は550-700℃

9

で、結晶化時間は10秒以上とした。得られたPZT膜をX線回折にて結晶構造を調べたところ、ペロブスカイト相であった。微細構造の観察結果では、0.5 μm 径以下のPZT粒子がSRO膜上に形成されていることを確認した。

【0059】次に図2(e)に示すように、結晶化したPZT膜12上に上部キャパシタ電極となるSRO膜13をDCマグネトロンスパッタ法により形成する。この場合、上記したように高温スパッタで形成してもよいし、あるいは室温にてEx Situ結晶化によりSRO膜を形成してもよい。上部のSRO膜13の厚さは50 nm前後である。

【0060】上部キャパシタ電極となる導電膜は、結晶化したPZT膜12上に形成するため、SRO膜13のみならず、IrO₂/Ir積層膜、Ir膜、Ru膜、RuO₂/Ru積層膜、RuO₂膜などを使用することができる。加工性を考慮するとRu系の膜が望ましい。

【0061】また、従来、キャパシタ電極としてSRO膜とPtとの積層膜を形成していたが、Pt膜は触媒作用をもち、活性水素を形成するためにPZT膜が劣化しやすい。インテグレーションプロセスにて還元性ダメージのある場合は、上記電極からPt膜を排除し、SRO膜の単体膜を使用する。

【0062】最後に、図2(f)に示すように、SRO膜13、PZT膜12およびSRO膜11をRIEによりパターニングし、その後、強誘電体特性を得るためにアニール熱処理により、上部キャパシタ電極13とPZT膜12との密着性、結晶の整合性を向上させて、キャパシタが完成する。上記RIEは酸素、塩素あるいはAr、塩素の混合ガス中で行う。また、マスクにはSiO₂からなるハードマスクを使用する。SRO膜13、PZT膜12およびSRO膜11をRIE加工するとき、Pt膜やIr膜等の貴金属膜をエッチングする必要がないので、垂直に近い加工形状が得られる。これにより、キャパシタの微細化が容易になる。

【0063】このようにして得られた強誘電体キャパシタの強誘電性を電荷量Q-印加電圧Vのヒステリシス特性にて調べた結果、2.5 V印加時に分極量2Pr(残留分極席×2)で約30 $\mu\text{C}/\text{cm}^2$ を示し、8インチSiウエハの全面に同程度の分極量と抗電界をもつPZT膜であることが判った。抗電圧も0.6 V程度と低い値が得られた。

【0064】さらに、上記強誘電体キャパシタの疲労特性を評価した。疲労特性の評価は50 μm ×50 μm の面積に相当するアレイで評価した。その結果、1×10¹²サイクルまで分極量の変化はなく、リーク電流も3 V印加時で10⁻⁸ A/cm² オーダーと低い値であった。

【0065】上部キャパシタ電極13からのコンタクトは通常のLSI作製プロセスを用いる。すなわち、層間絶縁膜の堆積工程、RIE加工による接続孔の開孔工

10

程、酸素雰囲気中での回復アニール工程、配線工程を行い、キャパシタからの配線の引き出しを行う。配線工程では、上部キャパシタ電極13とのコンタクトはTiN膜(バリアメタル膜)にて直接上部キャパシタ電極13と接続し、その後Al配線を形成する。

【0066】かくして本実施形態によれば、Ruプラグ10の材料として酸化されても導電性を有するRu膜を使用することにより、Ru10プラグの酸化およびそれに伴うコンタクト不良、形状不良を防止できるようになる。さらに、下部キャパシタ電極構造はRuプラグ10と下部キャパシタ電極11とが直接接続してなる簡単な構造であり、かつキャパシタは貴金属膜を含まない構造なので、微細化も容易である。

【0067】また、下部キャパシタ電極(SRO膜)11とその下の積層絶縁膜(シリコン酸化膜/シリコン窒化膜)8はともに酸素を同じ材料として含むので、下部キャパシタ電極11と積層絶縁膜8との密着性は良好なものとなる。これにより、下部キャパシタ電極11と積層絶縁膜8との界面から侵入する酸化種によるRuプラグ10の酸化を防止できる。

【0068】さらに、下部キャパシタ電極(SRO膜)11とPZT膜12の結晶構造はともに同じペロブスカイトであるため、これらの間での反応や相互拡散の問題はない。また、下部キャパシタ電極11としてSRO膜を使用することにより、疲労特性、インプリント特性、リテンション特性の改善を期待できる。

【0069】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、図1

(c)の工程で、接続孔外部のバリアメタル膜9を除去したが、残しておいてもよい。この場合、図2(f)の工程でSRO膜13等をRIE加工するとき、バリアメタル膜9もRIE加工する。

【0070】図4に、バリアメタル膜9を残した場合のCOP構造を示す。図4のCOP構造の場合、積層絶縁膜7と下部キャパシタ電極11との界面にバリアメタル膜9が存在するため、下部キャパシタ電極11下の横方向からの酸化をより効果的に防止することができる。

【0071】図4のCOP構造の場合、上部キャパシタ電極13からのコンタクトを取る工程後に行う回復アニールを従来と同様に酸素雰囲気中で行うと、バリアメタル膜9が酸化されるという不都合が生じる。

【0072】このような不都合を解決するには、例えば窒素等の不活性ガス中にて活性化アニールを行えばよい。他の方法としては、層間絶縁膜としてキャパシタをAl₂O₃膜、TiO₂膜などの酸化膜またはTiN膜などの窒化膜を使用し、上部キャパシタ電極13上の酸化膜または窒化膜に、上部キャパシタ電極13とのコンタクトを取るための開口部をRIE加工により形成した後、酸素中で回復アニールを行えばよい。その後、上部キャパシタ電極13とのコンタクトはTiN膜(バリア

11

メタル膜)にて直接上部キャパシタ電極 13 と接続し、その後 A1 配線を形成する。

【0073】また、上記実施形態では、キャパシタ絶縁膜として PZT 膜を使用した場合について説明したが、SBT 膜等の他の強誘電体膜も使用可能である。

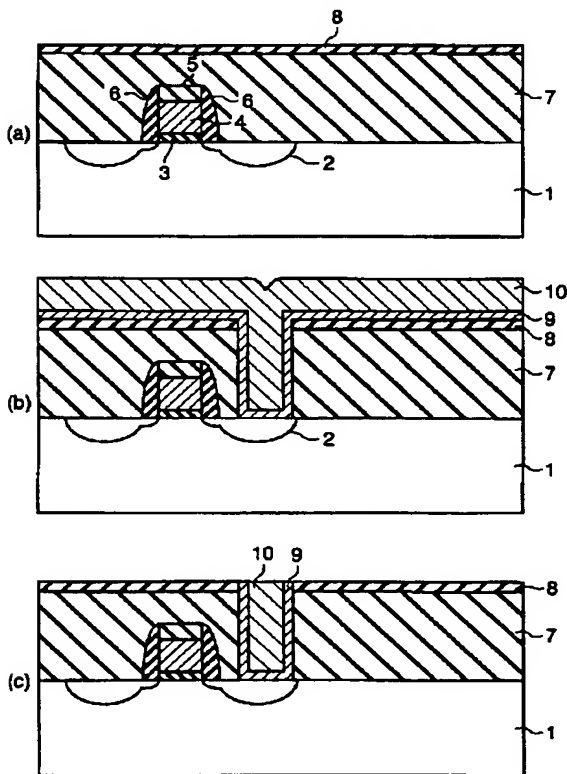
【0074】また、上実施形態では、MIS 型トランジスタのソース/ドレイン拡散層と電気的に接続されたプラグの場合について説明したが、本発明はソース/ドレイン拡散層と電気的に接続された配線に電気的に接続されたプラグにも同様に適用できる。

【0075】また、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0076】

【発明の効果】以上詳説したように本発明によれば、微細な COP 構造を容易に実現できる半導体装置およびその製造方法を実現できるようになる。

【図 1】



12

*【図面の簡単な説明】

【図 1】本発明の一実施形態に係る半導体装置の製造方法を示す工程断面図

【図 2】図 1 に続く同実施形態の半導体装置の製造方法を示す工程断面図

【図 3】同実施形態の COP 構造の変形例を示す断面図

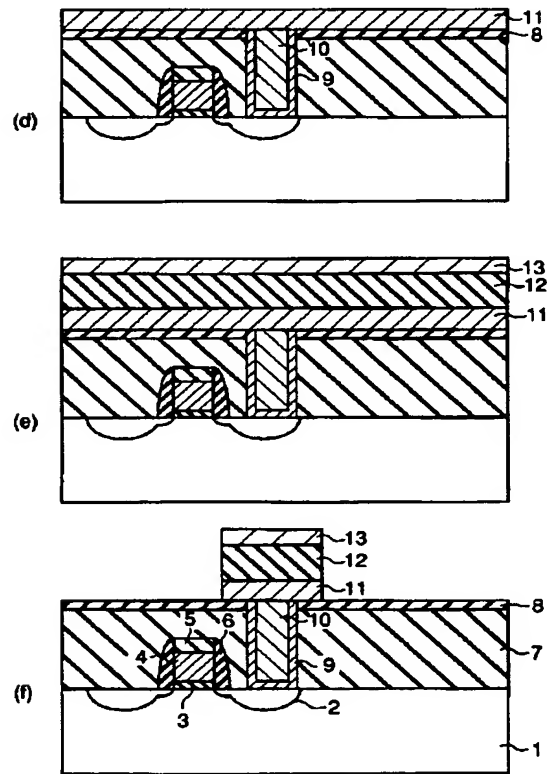
【図 4】従来の COP 構造を示す断面図

【図 5】従来の他の COP 構造を示す断面図

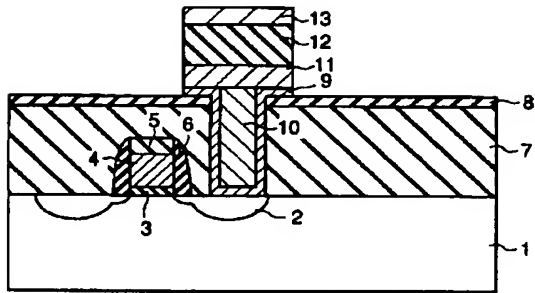
【符号の説明】

- 10 1…シリコン基板
- 2…ソース/ドレイン拡散層
- 3…ゲート絶縁膜
- 4…ゲート電極
- 5…シリコン窒化膜 (ゲート上部絶縁膜)
- 6…シリコン窒化膜 (ゲート側壁絶縁膜)
- 7…層間絶縁膜
- 8…積層絶縁膜
- 9…バリアメタル膜
- 10…Ru プラグ
- 11 11…下部キャパシタ電極 (SRO 膜)
- 12…PZT 膜 (キャパシタ絶縁膜)
- 13 13…上部キャパシタ電極 (SRO 膜)

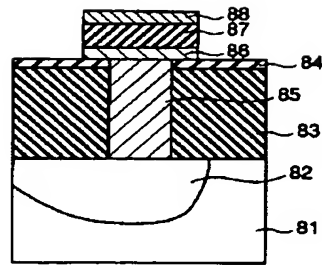
【図 2】



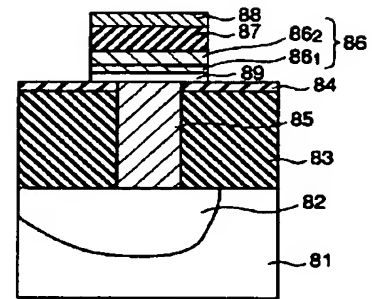
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 21/316

識別記号

F I

H 0 1 L 21/316
27/10

ターム (参考)

P

4 4 4 B

F ターム (参考) 5F058 BA11 BD02 BD04 BD05 BD10
BF02 BF06 BF12 BF46
5F083 FR02 GA21 JA15 JA38 JA40
JA43 JA45 MA05 MA06 MA17
PR34 PR40